Universita' degli Studi di Bologna
Corso di Laurea in Informatica
Architettura degli Elaboratori
A.A. 1998/1999

Prova Scritta di esame del corso di Architettura degli Elaboratori

5 Luglio 1999

MATRICOLA............................

NOME..**COGNOME**....................................

COMPITO A

Rispondere agli esercizi scrivendo una traccia del procedimento nello spazio previsto.
Non saranno validi gli esercizi che riportano solo il risultato.

PARTE I

```
1) Calcolare la somma S delle cifre del proprio numero di matricola
   (es. 2314 ==> S = 2+3+1+4 = 10) ed esprimere il valore
                      xx = (S mod 3)
   in binario naturale (su due bit):



                                                   xx = __

2) Esprimere il seguente valore espresso in base dieci, secondo la
   codifica in virgola mobile Standard IEEE 754 su 32 bit, con base
   di polarizzazione 01111111 (127):




    a) -0.171875          _ ________ _______________________
```

Dopo avere sostituito le due cifre binarie xx ottenute al punto (1)
xx = (somma delle cifre del proprio numero di matricola) modulo 3,
esprimere il seguente valore espresso in codifica Standard IEEE 754,
in base dieci:

b) ________ 0 01111110 100xx000000000000000000

Eseguire l'operazione a+b (mostrando una traccia del procedimento)
secondo lo standard IEEE 754 e dare la rappresentazione del
risultato su 32 bit.

a+b = _ ________ _______________________

3) Un piccolo calcolatore dispone di una memoria RAM di 2^16 Bytes, il
cui tempo di accesso m e' pari a 500 microSec. Si vuole progettare una
cache con tempo di accesso c = 100 microSec. Supponendo di dovere eseguire
accessi a Byte di RAM distribuiti casualmente con distribuzione uniforme,
e supponendo di volere implementare una cache Associativa con blocchi dati
di 8 Bytes, quale deve essere il numero minimo di slot della cache
affinche' il tempo medio di accesso TMA risulti minore o uguale a
475 microSec? (assumere che la cache abbia sempre tutti gli slot pieni)

Num. minimo Slot Cache = ______________________

Nel caso in cui gli accessi alla RAM siano invece sequenziali, a partire dal Byte di indirizzo 0 fino all'ultimo Byte di RAM, quale sara' il TMA ottenuto con la stessa cache dell'esercizio precedente?

TMA accessi seq. = ____________________

4) Sia data una cache per una macchina la cui memoria RAM e' di 2^24 Bytes, suddivisi in blocchi di dimensione pari a 16 Bytes. La cache permette l'allocazione di un blocco intero di memoria (16 Bytes) in uno slot della cache, per un totale di 2048 slot. Si intende organizzare la cache secondo la struttura Direct Mapping.

a) In quale slot di cache viene caricato il Byte di indirizzo $07BA2C ? (scrivere l'indirizzo dello slot di cache anche in base dieci)

slot:______________________

b) Quale e' il corrispondente valore del campo tag? (in binario naturale)

valore campo tag:______________________

c) Quale sarebbe il valore del campo identificatore se la cache fosse stata Associativa? (scrivere solo il valore esadecimale)

Identificatore:_____________________

PARTE II

5) La successione dei numeri di Fibonacci e' definita nel modo seguente:
F(0) = 0, F(1) = 1, F(i) = F(i-1)+F(i-2), per ogni i>1.

Scrivere un programma Assembler MOTOROLA 68000 che definisca lo stack e il proprio codice rilocato a partire dalla locazione $2000.
Si assuma di avere la seguente definizione di costante (valore a 8 bit):

```
          ORG     $3000
  NUM     DC.B    $08                          .
```

Il programma da realizzare deve leggere il valore k dalla costante NUM, e deve calcolare il termine (k+1)-esimo della successione di Fibonacci: F(k). Tutti i valori intermedi della successione calcolati devono essere memorizzati (come valori a 16 bit) nelle locazioni a partire dall'indirizzo $3002, in ordine inverso (cioe' F(k) deve essere memorizzato in $3002, F(k-1) in $3004, ecc.). Commentare brevemente il codice del programma e le scelte di programmazione effettuate.

6) Sia data la seguente porzione di programma assembler Pentium (8086):

```
   ......
   XOR AX, AX
   ADD AX, 0Fh
   MOV CX, 7Ah
   AND AL, CL
   XOR CX, CX
L1 XOR CX, AX
   DEC AX
   CMP AX, 00h
   JNZ L1
   END
   ......
```

Quale valore e' contenuto in AX e in CX dopo l'istruzione END?

AX = ____H
CX = ____H

MATRICOLA.............................

NOME...COGNOME.....................................

Sia data la seguente espressione in forma NAND:

$$(A \uparrow C) \uparrow (B \uparrow D) \uparrow C.$$

Si ricavi la forma NOR equivalente di costo minimo.
Si mostri nello spazio sottostante solo l'espressione a NOR ottenuta.

Si supponga di disporre di: un FULL ADDER per la somma di due bit (completo di carry in e carry out), un AND a due ingressi, un OR a due ingressi, un MULTIPLEXER a due ingressi di selezione, ed un MULTIPLEXER ad un unico ingresso di selezione.
Utilizzando TUTTI e SOLI i suddetti componenti, si realizzi una rete combinatoria a 6 variabili binarie di ingresso (denominate X, Y, CARRY-IN, C1, C2, C3), e 2 variabili binarie d'uscita (chiamate Z e CARRY_OUT), la quale, presi in ingresso i valori di X e Y ed il valore del CARRY_IN, sia in grado di eseguire una tra le quattro sotto riportate operazioni a seconda delle sotto elencate combinazioni di valori delle variabili di controllo C1, C2 e C3. Si mostri nello spazio sottostante SOLO la rete ottenuta.

1) Z= X + Y + CARRY_IN, CARRY_OUT= riporto dell'operazione di addizione

se C1=0, C2=0, C3=0

2) Z= X + neg(Y) + CARRY_IN, CARRY_OUT= riporto dell'operazione di addizione

se C1=0, C2=0, C3=1

3) Z= X AND Y, CARRY_OUT= indifferente

se C1=1, C2=0

4) Z=X OR Y, CARRY_OUT= indifferente

se C1=1, C2=1

Suggerimento: data la necessita' di utilizzare tutti quanti i componenti a disposizione, non si proceda ad alcun tipo di minimizzazione, ma si tenti di ottenere la rete richiesta collegando tra loro, nella maniera opportuna, i componenti a disposizione.