Universita' degli Studi di Bologna
Corso di Laurea in Informatica
Architettura degli Elaboratori
A.A. 1998/1999

Prova Scritta di esame del corso di Architettura degli Elaboratori

23 Febbraio 2000

MATRICOLA............................

NOME...**COGNOME**.....................................

COMPITO A

Rispondere agli esercizi scrivendo una traccia del procedimento nello spazio previsto.
Non saranno validi gli esercizi che riportano solo il risultato.

PARTE I

```
1) Calcolare la somma S delle cifre del proprio numero di matricola
   (es. 2314 ==> S = 2+3+1+4 = 10) ed esprimere il valore
                      xxx = (S mod 3)
   in binario naturale (su tre bit):



                                                     xxx = ___

2) Sommare i seguenti valori (a) e (b) espressi in codifica in virgola
   mobile Standard IEEE 754 su 32 bit, con base di polarizzazione
   01111111 (127) esprimendo il risultato in codifica Standard 754, e in
   decimale.  Sostituire in xxx i tre bit ottenuti nell'esercizio 1.
   Scrivere una traccia del procedimento e i risultati.

                      (a)      0 10000011 11010110000000000000000 +
                      (b)      0 10000xxx 01100110000000000000000
```

```
                 (a)      0 10000011 11010110000000000000000 +
                 (b)      0 10000xxx 01100110000000000000000
                          ----------------------------------
(Risultato in Standard 754) =




(Risultato in decimale)     =___________________________________
```

3) Si assuma di disporre di una cache Associativa inizialmente vuota, composta da slot il cui campo dati puo' contenere 4 Bytes. La cache ha dimensione pari a 256 slot. Quanti bit sono necessari per indirizzare univocamente un blocco nella cache se la si vuole interfacciare a una RAM di 2^16 Bytes?

n. bit (Associativa) =____________________

Quanti bit sono necessari per indirizzare univocamente un blocco nella cache, nel caso precedente, se la cache e' di tipo Direct Mapping?

n. bit (Direct Mapping) =____________________

Quale e' il valore dell'indirizzo del blocco nella cache quando si carica il Byte $378A:

se la cache e' Associativa =____________________

se la cache e' Direct Mapping =____________________

PARTE II

4) Scrivere un programma Assembler MOTOROLA 68000 che definisca lo stack e il proprio codice rilocato a partire dalla locazione $1000.
Si assuma di avere la seguente definizione di vettore a valori interi su 8 bit:

```
          ORG     $2000
VET       DS.B    $100
```

Scrivere un programma che, effettuando una sola scansione del vettore, memorizzi sullo stack il minimo valore pari e poi il massimo valore dispari presente nel vettore.
Commentare brevemente il codice del programma e le scelte di programmazione effettuate.

5) Sia data la seguente porzione di programma assembler Motorola:

```
                                             D0     D1     D2     A0     SP
  ......
         ORG       $1000
  STACK  EQU       $1000
  LENGHT EQU       $F
  START  LEA       STACK,SP
         LEA       VET,A0
         MOVEQ     #LENGHT,D0
         CLR.L     D1

  LAB1   MOVE.W    (A0)+,D1
         MOVE.L    D1,D2
         ANDI      #3,D1
         BNZ       PUSH
  RET    SUBQ      #1,D0
         BNE       LAB1
         TRAP      #0

  PUSH   MOVE.W    D2,-(SP)
         BRA       RET

         ORG       $1200
 VET     DC.W      1,2,3,4,5,6,7,8,9,A,B,C,D,E,F
         END
  ......
```

Quale sara' lo stato finale dello stack (in ordine di pop)?

Valori finali nello stack = ___________________________

6) Si supponga di potere disporre di: i) Decoder con un numero qualsiasi di ingressi, ii) Multiplexer con un numero qualsiasi di ingressi di selezione, e iii) gate AND, OR e NOT con un numero qualsiasi di ingressi di selezione. Inoltre, nessuno dei suddetti dispositivi e' dotato di buffer tri-state all'uscita, per cui se disabilitati, ognuno di essi presenta il valore logico 0 a tutte le eventuali uscite.
Si progetti, utilizzando il minor numero di componenti la seguente rete combinatoria. La rete e' composta di due sottoreti combinatorie denominate A e B. L'uscita di A e' ingresso per B. La prima delle due sottoreti A riceve in ingresso m segnali (bit), numerati da 0 a m-1, e, a seconda del valore decimale codificato in ulteriori k ingressi di selezione (con m = 2^k, naturalmente), fa transitare uno solo degli m segnali di ingresso verso la seconda delle due sottoreti B. La seconda sottorete B riceve in ingresso il

segnale fuoriuscito dalla prima sottorete, e a seconda del valore decimale specificato da h ingressi di selezione, fa transitare il bit ricevuto da A verso una sola delle sue n uscite (naturalmente n = 2^h).
Riassumendo, A ha n segnali di ingresso, k segnali di selezione ed un'unica uscita, B ha un unico ingresso, h segnali di selezione ed una unica uscita.

7) Avendo a disposizione operatori del tipo NAND, NOR, EX-OR, AND, OR, NOT, il candidato individui almeno due insiemi minimali funzionalmente completi di operatori scelti tra quelli proposti.