Universita' degli Studi di Bologna
Corso di Laurea in Informatica
Architettura degli Elaboratori
A.A. 1998/1999

Prova Scritta di esame del corso di Architettura degli Elaboratori

15 Settembre 1999

MATRICOLA............................

NOME...**COGNOME**.....................................

COMPITO A

Rispondere agli esercizi scrivendo una traccia del procedimento nello spazio previsto.
Non saranno validi gli esercizi che riportano solo il risultato.

PARTE I

```
1) Calcolare la somma S delle cifre del proprio numero di matricola
   (es. 2314 ==> S = 2+3+1+4 = 10) ed esprimere il valore
                      xxx = (S mod 8)
   in binario naturale (su tre bit):



                                                    xxx = ___

2) Esprimere il seguente valore espresso in base dieci, secondo la
   codifica in virgola mobile Standard IEEE 754 su 32 bit, con base
   di polarizzazione 01111111 (127):





    a) 3.390625          _ ________ _______________________
```

Dopo avere sostituito le tre cifre binarie xxx ottenute al punto (1)
xxx = (somma delle cifre del proprio numero di matricola) modulo 8,
esprimere il seguente valore espresso in codifica Standard IEEE 754,
in base dieci:

b) ________ 0 10000010 10xxx000000000000000000

Eseguire l'operazione a+b (mostrando una traccia del procedimento)
secondo lo standard IEEE 754 e dare la rappresentazione del
risultato su 32 bit.

a+b = _ ________ _______________________

3) Sia data una cache per una macchina la cui memoria RAM e' di
2^24 Bytes, suddivisi in blocchi di dimensione pari a 8 Bytes.
La cache permette l'allocazione di un blocco intero di memoria
(8 Bytes) in uno slot della cache, per un totale di 512 slot.
Si intende organizzare la cache secondo la struttura Direct Mapping.

a) In quale slot di cache viene caricato il Byte di indirizzo $16C34E ?
(scrivere l'indirizzo dello slot di cache anche in base dieci)

slot:________________________

b) Quale e' il corrispondente valore del campo tag?
(in binario naturale)

valore campo tag:_______________________

PARTE II

4) Scrivere un programma Assembler MOTOROLA 68000 che definisca lo stack e il proprio codice rilocato a partire dalla locazione $1000.
Si assuma di avere le seguenti definizioni di costante (valore a 8 bit):

```
          ORG     $2000
  NUM     DC.B    <generico parametro decimale tra 0 e 255>    ,
```

e di vettore di valori interi a 8 bit:

```
          ORG     $2100
  VET     DS.B    $100
```

Scrivere un programma che legga il valore attuale (non specificato) della costante NUM e scandisca i primi NUM elementi del vettore VET. Durante tale scansione dovranno essere salvati sullo stack gli elementi del vettore VET divisibili per 4.
Commentare brevemente il codice del programma e le scelte di programmazione effettuate.

5) Sia data la seguente porzione di programma assembler Motorola:

```
                                              D0     D1     D2     A0     SP
  ......
          ORG       $1000
  STACK   EQU       $1000
  LENGHT  EQU       $6
  START   LEA       STACK,SP
          LEA       VET,A0
          MOVEQ     #LENGHT,D0
          CLR.L     D1
          JSR       SUB1
          MOVE.L    D1,TOT
          TRAP      #0

  SUB1    MOVE.L    (A0)+,D2
          EOR.L     D2,D1
          JSR       SUB2
          SUBQ      #3,D0
          BNE       SUB1
          RTS

  SUB2    ADDQ      #2,D0
          RTS

          ORG       $1200
 VET      DC.L      1,2,3,4,5,6
 TOT      DS.L      1
          END
  ......
```

Quale sara' il valore finale memorizzato in TOT?

valore finale TOT = _____________

Quale sara' il valore minimo assunto dallo Stack Pointer durante l'esecuzione?

min SP = __________

Quale e' l'indirizzo esadecimale effettivo di TOT?

ind. TOT = $_________

MATRICOLA.............................

NOME..COGNOME......................................

6) Sia data la seguente espressione in forma NOR:

$$C \downarrow (A \downarrow 1)) \downarrow (B \downarrow D) \downarrow 0$$

Si ricavi la forma NAND equivalente di costo minimo.
Si mostri nello spazio sottostante solo l'espressione a NAND ottenuta.

7) Utilizzando il minor numero di multiplexer a due ingressi di selezione, si progetti un circuito combinatorio comparatore per coppie di parole di due bit. (Si ricorda che un circuito comparatore restituisce valore uno se le due parole sono uguali bit a bit, e zero altrimenti). Si mostri nello spazio sottostante solo il circuito completo ottenuto.